

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250307

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01C 7/02
H01C 1/14
H01C 7/04
// H01C 7/00

(21)Application number : 07-055918

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 15.03.1995

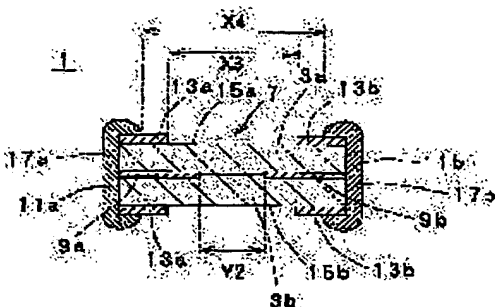
(72)Inventor : NAKAMURA TOSHIKAZU

(54) CHIP THERMISTOR

(57)Abstract:

PURPOSE: To increase the dimensional accuracy between electrodes by electrically connecting outer electrodes to other terminals of inner electrodes and surface electrodes and forming external electrodes facing at both ends of a multilayer body so as to expose one end of each surface electrode.

CONSTITUTION: Thermistor layers 3a and 3b are formed one on another to form a multilayer body 7, a pair of inner electrodes 9a and 9b are formed in the body 7 and two pairs of surface electrodes 13a and 13b are formed on the upper and lower faces 15a and 15b of the body 7. A pair of external electrodes 11a and 11b are formed at both ends 17a and 17b of the body 7. The other end of one electrode 9a is connected to the electrode 11a and the other end of the other electrode 9b is connected to the electrode 11b. The other end of the electrode 13a and that of the electrode 13b are connected to the external electrodes 11a and 11b, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 5 0 3 0 7

(43) 公開日 平成 8 年 (1996) 9 月 27 日

| (51) Int. Cl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 | |
|----------------------------|------|--------|---------|--------|---|
| H 0 1 C | 7/02 | | H 0 1 C | 7/02 | |
| | 1/14 | | | 1/14 | Z |
| | 7/04 | | | 7/04 | |
| // H 0 1 C | 7/00 | | | 7/00 | B |

審査請求 未請求 請求項の数 2

O L

(全 6 頁)

(21) 出願番号 特願平 7 - 55918

(22) 出願日 平成 7 年 (1995) 3 月 15 日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目 26 番 10 号

(72) 発明者 中村 利和

京都府長岡京市天神二丁目 26 番 10 号 株式

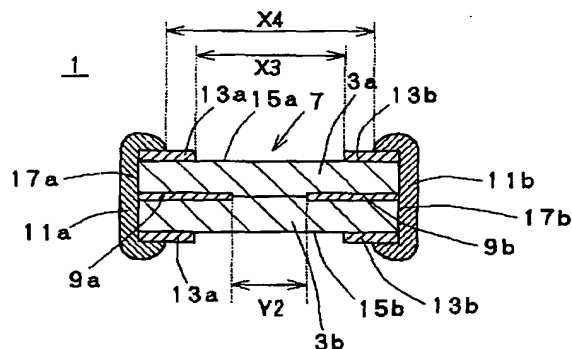
会社村田製作所内

(54) 【発明の名称】 チップサーミスタ

(57) 【要約】 (修正有)

【目的】 電極間の寸法精度を高めることにより、抵抗値のバラツキの小さい高精度のチップサーミスタを提供する。

【構成】 複数のサーミスタ層 3 a, 3 b が積層された積層体 7 と、積層体 7 の内部であって、サーミスタ層 3 a, 3 b の同一表面上に各一端が相対向するように形成される一対の内部電極 9 a, 9 b と、積層体 7 の同一表面上に各一端が相対向するように形成される一対の表面電極 13 a, 13 b と、内部電極 9 a, 9 b および表面電極 13 a, 13 b の各他端と電氣的に接続するとともに、表面電極 13 a, 13 b の一端が露出するように、積層体 7 の両端部 17 a, 17 b に相対向するように形成された一対の外部電極 11 a, 11 b とを有する。なお、内部電極 9 a, 9 b と表面電極 13 a, 13 b とは、ともにスクリーン印刷により形成される。



【特許請求の範囲】

【請求項1】 複数のサーミスタ層が積層された積層体と、
前記積層体の内部であって、前記サーミスタ層の同一表面上に各一端が相対向するように形成される一対の内部電極と、
前記積層体の同一表面上に各一端が相対向するように形成される一対の表面電極と、
前記内部電極および前記表面電極の各他端と電気的に接続するとともに、前記表面電極の一端が露出するように、前記積層体の両端部に相対向するように形成された一対の外部電極と、
を有することを特徴とするチップサーミスタ。

【請求項2】 前記表面電極は、前記積層体の第一主面と、該第一主面と対向する第二主面の両端にそれぞれ形成されるとともに、各主面上の前記表面電極の電極間距離は、前記内部電極の電極間距離よりも長い距離を有していることを特徴とする請求項1に記載のチップサーミスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、チップサーミスタ、詳しくはNTCサーミスタ、PTCサーミスタ等のチップサーミスタに関するものである。

【0002】

【従来の技術】従来より、チップサーミスタ1は、図7に示すように、プリント基板に実装する際に、はんだ付けにより接続されるため、サーミスタ素体3の両端部にそのはんだ付けのための端子電極5を形成している。

【0003】このようなチップサーミスタ1では、抵抗値は端子電極5の電極間寸法X1により支配されている。

【0004】ところで、この端子電極5は、電極ペースト上にサーミスタ素体3の端面を浸漬させて付着するディップ法により形成されている。

【0005】しかしながら、従来のディップ法では、導電ペーストの厚みやサーミスタ素体3の浸漬する深さ等によって端子電極5の電極間寸法X1の寸法精度にばらつきが生じ、それが抵抗値に影響するため、特性の安定した高精度のチップサーミスタ1が得られなかった。

【0006】また、図8に示すようなチップサーミスタ1は、サーミスタ層3a、3bが積層されて一体化した、直方体状の積層体7と、サーミスタ層3bの同一表面上に、各一端が相対向するように設けられた一対の内部電極9と、内部電極9の他端と接続するとともに、積層体7の両端部に対向するように形成された一対の外部電極11とを備えている。

【0007】このようなチップサーミスタ1では、抵抗値のほとんど（約80～90%）が内部電極9の電極間寸法Y1により支配されている。外部電極11の電極間

寸法X2はそれほど影響しない。

【0008】ところで、この内部電極9は、サーミスタ層3bの表面にスクリーン印刷によって形成される。このスクリーン印刷は、積層前のサーミスタ層3bを正確に位置決めした状態で行うので、精度よく管理できて、従って、寸法のバラツキが少なく、抵抗値の精度の高いチップサーミスタが得られる。

【0009】

【発明が解決しようとする課題】ところが、上記の図8に示すようなチップサーミスタでは、抵抗値のほとんど（約80～90%）が高精度に形成された内部電極9の電極間寸法Y1により支配されているが、精度にバラツキのある電極間寸法X2の影響、例えば、一方の内部電極とこれに対向する側の外部電極との寸法のバラツキが、抵抗値へ与える影響は皆無ではなく（約10～20%）、一層の高精度化を求めるのは難しいという問題点があった。

【0010】本発明は、電極間の寸法精度を高めることにより、抵抗値のバラツキの小さい高精度のチップサーミスタを提供することにある。

【0011】

【課題を解決するための手段および作用】本発明は、上記のような問題点を解決するべくチップサーミスタを完成するに至った。本発明のチップサーミスタは、複数のサーミスタ層が積層された積層体と、前記積層体の内部であって、前記サーミスタ層の同一表面上に各一端が相対向するように形成される一対の内部電極と、前記積層体の同一表面上に各一端が相対向するように形成される一対の表面電極と、前記内部電極および前記表面電極の各他端と電気的に接続するとともに、前記表面電極の一端が露出するように、前記積層体の両端部に相対向するように形成された一対の外部電極と、を有することに特徴がある。

【0012】すなわち、外部電極は、これに電気的に接続する表面電極の一端が露出するように、積層体の両端部に形成されるので、表面電極の電極間寸法は、チップサーミスタの抵抗値に影響を与えるが、外部電極の電極間寸法は、この抵抗値に影響を与えず、高い寸法精度は要求されない。従って、外部電極は、積層体を電極ペーストに浸漬させる、いわゆるディップ法によって、容易に形成することが可能である。また、表面電極は、内部電極と同様に、予めサーミスタ層の表面にスクリーン印刷などの方法により、高い寸法精度で形成することができる。

【0013】また、本発明のチップサーミスタにおいては、前記表面電極が、前記積層体の第一主面と、該第一主面と対向する第二主面の両端にそれぞれ形成されるとともに、各主面上の前記表面電極の電極間距離は、前記内部電極の電極間距離よりも長い距離を有していることが好ましい。

【0014】すなわち、表面電極は、チップサーミスタをはんだ付けによりプリント基板に実装する際に、はんだ食われを生じたり、外力による損傷を生じたりすることを考慮すると、抵抗値が内部電極に強く依存していることが有効である。

【0015】

【実施例】以下、図1および図2を参照して、本発明の一実施例であるチップサーミスタについて説明する。図1は、本実施例の断面図であり、図2は本実施例の斜視図である。本実施例のチップサーミスタ1は、サーミスタ層3a、3bが上下に積層されることにより形成された積層体7と、積層体7の内部に形成された一対の内部電極9a、9bと、積層体7の上面15aと下面15bとにそれぞれ形成された二対の表面電極13a、13bと、積層体7の両端部17a、17bに形成された一対の外部電極11a、11bとからなる。

【0016】サーミスタ層3a、3bは、平板状を有しており、Mn、Ni、Co、Cu、Fe等を主成分とするセラミック素体からなっている。

【0017】一対の内部電極9a、9bは、その各一端が相対向するように、積層体7の内部であって、下側のサーミスタ層3bの同一表面上に形成されている。

【0018】また、一方の内部電極9aの他端は、積層体7の一方の端部17aに設けられた外部電極11aに接続されている。

【0019】さらに、他方の内部電極9bの他端は、積層体7の他方の端部17bに設けられた外部電極11bに接続されている。

【0020】ここで、図3に示すように、内部電極9a、9bは平板状を有しており、内部電極9a、9bの幅方向の寸法W1は内部電極用サーミスタ素体21の幅方向の寸法W2よりも小さい。これは、耐熱、耐寒、耐湿等の耐候性を考慮した場合に、W1がW2よりも小さく、内部電極が外部へ露出しないほうが好ましいからである。

【0021】ここでまた、内部電極9a、9bの端部9a1、9b1は、内部電極用サーミスタ素体21の幅方向の寸法W2とほぼ同じ寸法で形成されている。これによって、外部電極との接続距離が長くなるので、内部電極と外部電極との接続の信頼性を向上させることができる。なお、この端部9a1、9b1は、外部電極11a、11bに覆われるために外部へ露出することはない。

【0022】また、内部電極9a、9bは、Pt、Ag、Pd、Ni、Cu等を含有する金属あるいはこれらの複合材からなり、スクリーン印刷により厚膜で形成される。

【0023】なお、内部電極9a、9bに用いる金属はこれらに限定されず、セラミック素体と同時焼成できるものであれば何でも使用できる。

【0024】一対の表面電極13a、13bは、その各

一端が相対向するように、積層体7の第一主面である上面15aの両端側、および第二主面である下面15bの両端側に、それぞれ形成され、上下で計二対となっている。

【0025】また、一方の表面電極13aの他端は、積層体7の一方の端部17aから積層体7の上面15aおよび下面15bに向けて設けられた外部電極11aに接続されている。

【0026】さらに、他方の表面電極13bの他端は、積層体7の他方の端部17bに設けられた外部電極11bに接続されている。

【0027】さらにまた、表面電極13a、13bは、内部電極9a、9bと同様に、平板状を有しており、Pt、Ag、Pd、Ni、Cu等を含有する金属あるいはこれらの複合材からなり、スクリーン印刷により厚膜で形成される。

【0028】なお、内部電極13a、13bに用いる金属はこれらに限定されず、セラミック素体と同時焼成できるものであれば何でも使用できる。

【0029】外部電極11a、11bは、積層体7の両端部17a、17bに形成され、内部電極9a、9bの各他端および表面電極13a、13bの各他端（上下で2つ）とそれぞれ電気的に接続するとともに、表面電極13a、13bの一端が露出するように形成されている。

【0030】また、外部電極11a、11bは、積層体7の上面15aおよび下面15b上に印刷された表面電極13a、13b上に塗布されているので、積層体7の上面15aおよび下面15bとは接触していない。

【0031】また、外部電極11a、11bは、Ag、Pd、Ni、Cr、Sn、Pb等の単体または複合材からなる三層構造をした多層電極となっている。

【0032】すなわち、最も内側に形成される第一層は、AgまたはAg-Pdからなる厚膜層であり、ディップ法により形成される。次に、第一層の外側に形成される第二層は、Niからなるメッキ層である。なお、CrまたはNi-Crを用いることも可能である。さらに、第二層の外側に形成される第三層は、SnまたはSn-Pbからなるメッキ層である。

【0033】ここで、図1に示す内部電極9a、9bの電極間寸法Y2と、表面電極13a、13bの電極間寸法X3と、外部電極11a、11bの電極間寸法X4とは、 $Y2 < X3 < X4$ の関係にある。

【0034】従って、チップサーミスタ1の抵抗値に最も影響する電極は、電極間寸法が最も短い内部電極9a、9bであり、さらにその次に影響する電極は、内部電極9a、9bの次に電極間寸法が短い表面電極13a、13bである。

【0035】また、内部電極9a、9bの抵抗値への影響はおよそ80~90%であり、表面電極13a、13

bの抵抗値への影響はおよそ20～10%である。

【0036】チップサーミスタ1をはんだ付けによりプリント基板に実装する際に、表面電極がはんだ食われを生じたり、また、表面電極が保護されていないために外力による損傷を生じたりすることを考慮すると、抵抗値が内部電極9にほとんど依存していることは少なからず有効である。

【0037】ところで、内部電極9a、9bおよび表面電極13a、13bは、ともにスクリーン印刷により形成されているので、電極ダレが生じることなく、寸法精度よくコントロールできる。すなわち、高精度に電極間寸法Y2およびX3を管理することが可能であり、抵抗値のパラツキが小さい品質の高いチップサーミスタ1が得られる。

【0038】なお、外部電極11a、11bは、ディップ法により形成するため、高精度に形成することは困難であるが、外部電極11a、11bの電極間寸法X4は、表面電極13a、13bを有する表面15上では積層体7に接触していないため、抵抗値への影響はほとんど皆無である。

【0039】このスクリーン印刷法によって、積層体の内部に形成された内部電極9a、9bおよび積層体7の同一表面上に形成された表面電極13a、13bは、電極ダレが生じ難くなり、電極間寸法のパラツキが抑制される。よって、電極ペースト中にサーミスタ層3a、3bを浸漬することにより、あるいはそれに類する方法により形成した電極と比較して、その寸法精度は非常に高い。

【0040】従って、高精度の内部電極9a、9bおよび表面電極13a、13bを形成できるため、この内部電極9a、9bおよび表面電極13a、13bの電極間寸法Y2、X3も高寸法精度で形成することができる。

【0041】内部電極9a、9bを有するチップサーミスタ1の抵抗値は、主に内部電極9a、9bの電極間寸法Y2により決定されるが、さらに高精度を要求するためには、表面電極13a、13bの電極間寸法X3も高精度化する必要がある。このため、本発明のように高寸法精度で内部電極9a、9bおよび表面電極13a、13bを形成することができれば、高精度で抵抗値の調整が可能であり、また、抵抗値の分布の小さいサーミスタ素子を得ることができる。

【0042】次に、図3ないし図6を参照して、本発明の一実施例であるチップサーミスタの製造方法について説明する。

(1) まず、生のサーミスタ素体、いわゆるセラミックグリーンシートである内部電極用サーミスタ素体21を用意し、スクリーン印刷により厚膜で、その上面21aの両端側にその各一端が相対向するように一対の内部電極9a、9bを形成し、乾燥させる(図3)。

【0043】(2) 次に、生のサーミスタ素体、いわゆ

るセラミックグリーンシートである表面電極用サーミスタ素体19を2枚用意し、それぞれにスクリーン印刷により厚膜で、その上面19aの両端側にその各一端が相対向するように一対の表面電極13a、13bを形成し、乾燥させる(図4)。

【0044】(3) 次に、上記の内部電極用サーミスタ素体21を略中央に配置して、内部電極用サーミスタ素体21の上下に、電極を形成していない生のサーミスタ素体である所定枚数のダミーシート23を積み重ね、さらに、ダミーシート23の上下に、上記の2枚の表面電極用サーミスタ素体19が対向するように積み重ねられる(図5)。

【0045】(4) 次に、上記のように積み重ねられたサーミスタ素体を一体化プレスし、焼成を行うことによって、セラミックの積層体7が形成される(図6)。

【0046】(5) 次に、内部電極9a、9bの各他端および表面電極13a、13bの各他端(上下で2つ)に接続するとともに、表面電極13a、13bの一端が露出するように積層体7の両端部に外部電極11a、11bの第一層をディップ法により厚膜で形成し、焼き付けを行う。その後、第一層の表面に第二層をメッキ処理し、さらに第二層の表面に第三層をメッキ処理する(図2)。

【0047】以上のようにして、本実施例のチップサーミスタが製造される。

【0048】ところで、本発明のチップサーミスタおよびその製造方法は、上記実施例に限定されるものではなく、本発明の要旨の範囲内において、種々の変更が可能である。

【0049】例えば、上記実施例では、内部電極の電極間寸法Y2と表面電極の電極間寸法X3と外部電極の電極間寸法X4との関係が $Y2 < X3 < X4$ となっているが、 $Y2$ と $X3$ は等しくてもよく、すなわち、 $Y2 \leq X3 < X4$ であってもよい。これは、内部電極と表面電極とはともにスクリーン印刷により高精度に形成されているので、表面電極の抵抗値への影響が大きくなっても機能上は問題がないからである。

【0050】また、例えば、上記実施例では、積層体は直方体状を有しているが、円板状のサーミスタ素体を用いれば、円柱状を有する積層体となる。

【0051】また、例えば、上記実施例では、表面電極用サーミスタ素体と内部電極用サーミスタ素体との間にダミーシートが設けられているが、ダミーシートの厚さには特に制限はなく、表面電極と内部電極とが直接接触しないように所望の間隔を有するように調整すればよい。

【0052】さらに、例えば、上記実施例では、個々のチップ状の積層体を形成した後に外部電極を付着させることによって、チップサーミスタの外部電極は、積層体の上下面および3つの側面に形成される5面電極となっ

7

ているが、棒状のサーミスタ素体を積層したマザー基板である積層体に外部電極を付着し、その後、チップ状に切断することによって、チップサーミスタの外部電極は、積層体の上下面および端面に形成される3面電極としてもよい。

【0053】

【発明の効果】本発明のチップサーミスタは、電極間の寸法精度を高めることにより、抵抗値のバラツキの小さい高精度なチップサーミスタを製造することが可能である。

【0054】また、歩留まりが高まることにより、製造コストを低減することが可能である。

【0055】また、請求項2に記載のチップサーミスタは、品質がより一層向上する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す断面図。

【図2】本発明の一実施例を示す斜視図。

【図3】本発明の一実施例の製造工程の一部を示す説明図。

【図4】本発明の一実施例の製造工程の一部を示す説明図。

【図5】本発明の一実施例の製造工程の一部を示す説明図。

【図6】本発明の一実施例の製造工程の一部を示す説明図。

【図7】従来のチップサーミスタの一例を示す説明図。

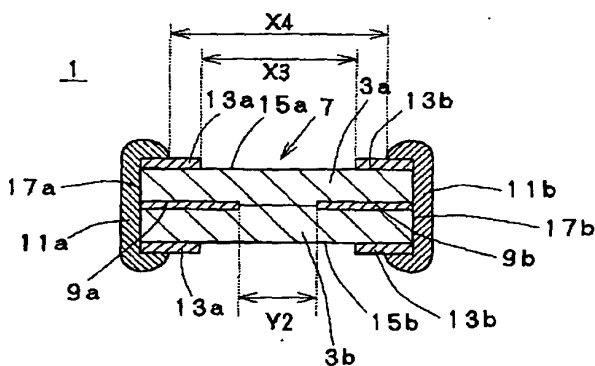
【図8】従来のチップサーミスタの他の例を示す説明図。

8

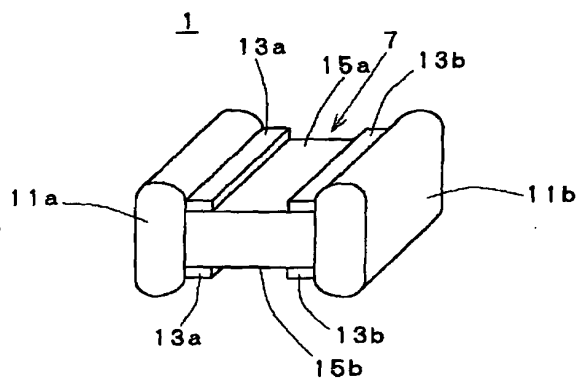
【符号の説明】

| | |
|---------------|---------------------|
| 1 | チップサーミスタ |
| 3 | サーミスタ素体 |
| 3a、3b | サーミスタ層 |
| 5 | 端子電極 |
| 7 | 積層体 |
| 9、9a、9b | 内部電極 |
| 9a1、9b1 | 内部電極の端部 |
| 11、11a、11b | 外部電極 |
| 10 13、13a、13b | 表面電極 |
| 15a | 上面 |
| 15b | 下面 |
| 17a、17b | 両端部 |
| 19 | 表面電極用サーミスタ素体 |
| 19a | 表面電極用サーミスタ素体の上面 |
| 21 | 内部電極用サーミスタ素体 |
| 21a | 内部電極用サーミスタ素体の上面 |
| 23 | ダミーシート |
| X1 | 端子電極の電極間寸法 |
| X2、X4 | 外部電極の電極間寸法 |
| X3 | 表面電極の電極間寸法 |
| Y1、Y2 | 内部電極の電極間寸法 |
| W1 | 内部電極の幅方向の寸法 |
| W1 | 内部電極用サーミスタ素体の幅方向の寸法 |

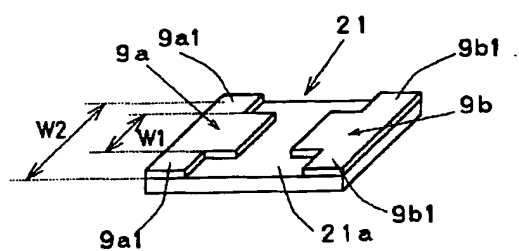
【図1】



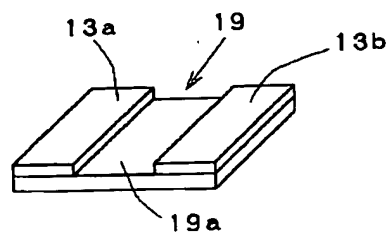
【図2】



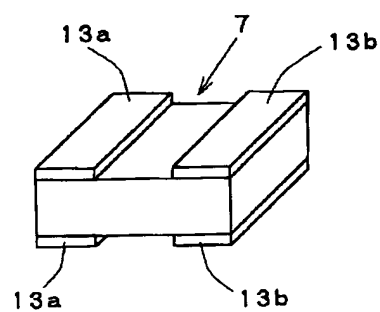
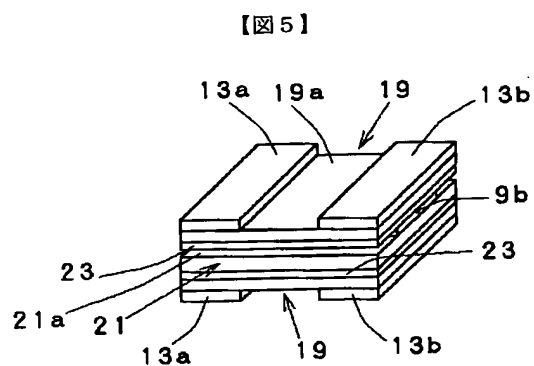
【図3】



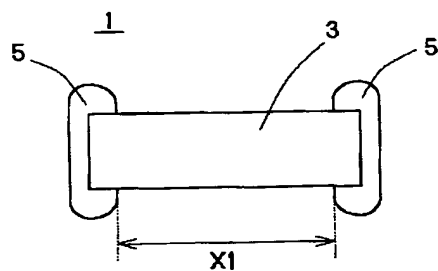
【図4】



【図6】



【図7】



【図8】

